



関西学院大学リポジトリ

Kwansei Gakuin University Repository

Er langからの高位合成のためのメモリ分散アーキテクチャ

著者	東 香実
発行年	2017
URL	http://hdl.handle.net/10236/00027096

Erlang からの高位合成のためのメモリ分散アーキテクチャ

関西学院大学大学院理工学研究科
情報科学専攻 石浦研究室 東 香実

本論文では、Erlangからの高位合成のためのメモリ分散アーキテクチャを提案する。組込みシステムは様々な場面で利用されており、多種多様なニーズに対応するため、組込みシステムには並行プロセスや割り込み処理といったより複雑な機能の効率的な実装が求められる。この問題の解決策の一つとして、Erlang等の並行処理プロセスに基づいたメッセージ処理指向言語によるシステムの制御の記述が挙げられる。また、組込みシステムのリアルタイム性の向上のため、ソフトウェアをハードウェアとして実装する手法があり、ソフトウェアによる仕様記述からハードウェアを自動生成する高位合成技術を利用した設計手法が提案されている。竹林らが提案したErlangサブセットからの高位合成手法では、各Erlangプロセスを並列動作可能なハードウェアモジュールに合成している。しかし、全てのプロセスモジュールの記憶領域を一つの共有メモリに格納しているため、プロセスモジュールを並列に動作させるためにはその数に比例したメモリポートが必要となってしまう。この課題を解決するため本論文では、各プロセスモジュールがローカルなメモリを保持するアーキテクチャへの合成を提案する。各プロセスは自身のローカルメモリに対して他のプロセスとは独立にアクセスを行えるため、全プロセスモジュールが並列に動作可能である。プロセス間のメッセージ送信やガベージコレクションの際には、他のプロセスモジュールのローカルメモリへのアクセスが必要になるが、ローカルメモリ間の接続の複雑化を避けるため、バスアーキテクチャを採用する。同時に実行可能なメッセージ送信とガベージコレクションはそれぞれ一つに限定し、その調停はアービタにより行う。提案手法に基づき、2プロセスからなる簡単なErlangプログラムから論理合成可能なVerilog HDLを生成し、レジスタ転送レベルシミュレーションによる動作確認を行った。